



Desain *Vending Machine* FSM Menggunakan Verilog HDL: Perbandingan *Moore* dan *Mealy*

Resti Dyah Ayu Retno Palupi¹, Amin Rodhi Alawy², Annisa Lathifa Gafrillia³

^{1,3}Prodi Teknik Mekatronika, Politeknik Kota Malang

²Prodi Teknik Telekomunikasi, Politeknik Kota Malang

restipalupi83@gmail.com*, aminrodhi@gmail.com, annisalathifa012@gmail.com

Abstract

The design and performance comparison of an FSM-based vending machine using Verilog HDL were conducted by employing Moore and Mealy Machine approaches. Both models were designed using the same vending-machine functional specification and evaluated through Verilog HDL simulation and synthesis-oriented performance analysis. Functional testing was performed in 30 trials, with all trials successfully completed, resulting in an accuracy of 100%. The performance analysis shows that the Mealy Machine achieved an average delay of 5.745 ns, while the Moore Machine achieved 9.345 ns, resulting in a 38.52% faster response for the Mealy Machine. The Mealy Machine also reduced Logic Cell usage by 17.86%, Flip-Flop usage by 22.73%, and LUT usage by 18.67%. In addition, the maximum frequency increased from 112.04 MHz to 134.01 MHz, representing an increase of 19.61%, while total power consumption decreased from 27.3 mW to 24.2 mW, representing a reduction of 11.36%. Although the Mealy Machine provides better performance in terms of response speed and resource efficiency, the Moore Machine offers greater output stability because its outputs depend only on the active state. Therefore, the selection of an FSM model should consider the trade-off between performance and output stability according to application requirements.

Keywords: *FSM, Moore, Mealy, Vending Machine, Verilog HDL*

Abstrak

Perancangan dan perbandingan kinerja sistem vending machine berbasis FSM menggunakan Verilog HDL dilakukan dengan menerapkan pendekatan Moore Machine dan Mealy Machine. Kedua model dirancang dengan spesifikasi fungsi vending machine yang sama dan dievaluasi melalui simulasi Verilog HDL serta analisis performa berbasis hasil sintesis. Pengujian fungsi dilakukan sebanyak 30 kali dan seluruh pengujian berhasil, sehingga diperoleh tingkat akurasi 100%. Hasil analisis performa menunjukkan bahwa Mealy Machine menghasilkan rata-rata waktu tunda (*delay*) sebesar 5,745 ns, sedangkan Moore Machine sebesar 9,345 ns, sehingga Mealy Machine memberikan respons 38,52% lebih cepat. Mealy Machine juga mengurangi penggunaan Logic Cell sebesar 17,86%, Flip-Flop sebesar 22,73%, dan LUT sebesar 18,67%. Selain itu, frekuensi maksimum meningkat dari 112,04 MHz menjadi 134,01 MHz atau sebesar 19,61%, sedangkan konsumsi daya total menurun dari 27,3 mW menjadi 24,2 mW atau sebesar 11,36%. Meskipun Mealy Machine memberikan performa yang lebih baik dalam hal kecepatan respons dan efisiensi sumber daya, Moore Machine memiliki keunggulan pada kestabilan output karena keluarannya hanya bergantung pada state aktif. Oleh karena itu, pemilihan model FSM perlu mempertimbangkan *trade-off* antara performa dan kestabilan output sesuai dengan kebutuhan aplikasi.

Kata kunci: *FSM, Moore, Mealy, Vending Machine, Verilog HDL*

Diterima Redaksi : 02-05-2026 | Selesai Revisi : 11-06-2026 | Diterbitkan Online : 30-06-2026

1. Pendahuluan

Finite State Machine (FSM) merupakan metode perancangan sistem digital yang banyak digunakan

dalam sistem kendali dan otomatisasi karena mampu mengatur perpindahan kondisi (*state*) berdasarkan input tertentu. FSM banyak diterapkan pada perangkat digital seperti sistem kontrol, FPGA,

dan *embedded system* karena memiliki struktur logika yang terorganisir dan mudah diimplementasikan menggunakan *Hardware Description Language (HDL)* [1]. Selain itu, penggunaan FSM dinilai efektif dalam meningkatkan keandalan dan efisiensi sistem digital modern [2].

Dalam implementasinya, FSM terbagi menjadi dua model utama yaitu *Moore Machine* dan *Mealy Machine*. *Moore Machine* menghasilkan output berdasarkan state saat ini sehingga memiliki kestabilan output yang lebih baik, sedangkan *Mealy Machine* menghasilkan output berdasarkan kombinasi state dan input sehingga memberikan respons yang lebih cepat dan penggunaan state yang lebih sedikit [3]. Perbedaan karakteristik tersebut memengaruhi performa sistem yang dirancang, terutama pada aspek kecepatan respon dan kompleksitas desain [4].

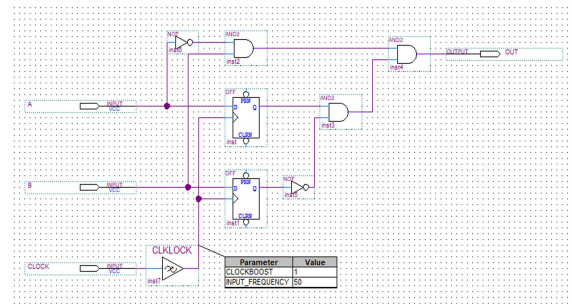
Salah satu penerapan FSM yang umum digunakan adalah sistem *vending machine*. Sistem ini membutuhkan pengendalian yang akurat dalam proses penerimaan input uang, pemilihan produk, hingga pengeluaran barang. Beberapa penelitian menunjukkan bahwa implementasi FSM pada *vending machine* mampu meningkatkan efisiensi logika kontrol dan mempermudah proses simulasi maupun implementasi perangkat keras [5]. Penggunaan Verilog HDL juga memungkinkan proses desain dan pengujian sistem dilakukan secara lebih fleksibel sebelum direalisasikan pada FPGA atau perangkat digital lainnya [6].

Berdasarkan latar belakang tersebut, penelitian ini bertujuan untuk merancang dan membandingkan kinerja *Moore Machine* dan *Mealy Machine* pada sistem *vending machine* berbasis Verilog HDL. Analisis dilakukan melalui simulasi untuk mengetahui perbedaan karakteristik kedua metode FSM dalam menghasilkan output serta efisiensi penggunaan state pada sistem digital [7].

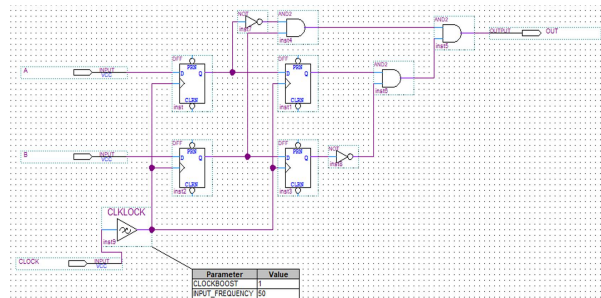
2. Metode Penelitian

2.1 Moore dan Mealy Machine

Sistem *vending machine* dirancang dengan input berupa nominal uang dan pilihan produk. Berdasarkan Jobsheet 4 Finite State Machine, skenario aplikasi mencakup minuman dengan harga Rp5.000 dan makanan dengan harga Rp10.000. Apabila uang yang dimasukkan melebihi harga produk, sisa uang dikeluarkan sebagai kembalian. Produk kemudian dikeluarkan sesuai rasa atau variasi yang dipilih. Spesifikasi tersebut digunakan sebagai dasar fungsi *vending machine* pada kedua model FSM.



Gambar 1. Skematik Moore Machine

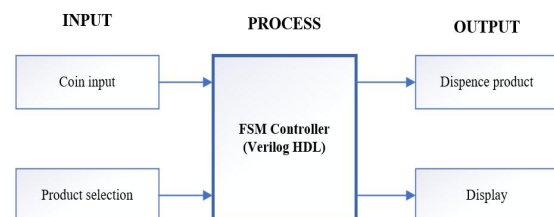


Gambar 2. Skematik Mealy Machine

Tahapan penelitian dimulai dari perancangan diagram state untuk Moore Machine dan Mealy Machine, dilanjutkan dengan implementasi kode Verilog HDL, kemudian dilakukan proses simulasi dan pengujian sistem. Pengujian dilakukan dengan memberikan beberapa kombinasi input untuk mengetahui respons masing-masing model FSM terhadap kondisi transaksi pada *vending machine* [11]. Parameter pengujian yang digunakan dalam penelitian ini meliputi jumlah *state*, kompleksitas kode program, respons output sistem, dan efisiensi penggunaan *resource*. Hasil simulasi dari kedua model FSM kemudian dianalisis untuk mengetahui kelebihan dan kekurangan masing-masing metode dalam perancangan sistem digital berbasis Verilog HDL [12].

2.2 Diagram Blok Sistem

Diagram blok pada penelitian ini menggambarkan alur kerja sistem *vending machine* berbasis *Finite State Machine (FSM)* yang disimulasikan menggunakan Verilog HDL yang dapat dilihat pada Gambar 3



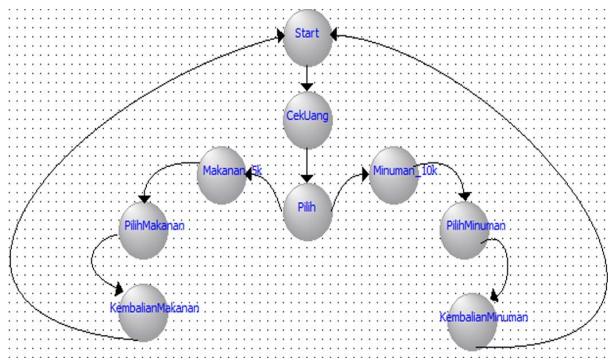
Gambar 3. Diagram Blok Sistem

Sistem menerima masukan berupa nominal uang dan pilihan produk dari pengguna. Input tersebut kemudian diproses oleh *FSM Controller* untuk menentukan transisi *state* sesuai logika yang telah dirancang. Berdasarkan hasil pemrosesan, sistem menghasilkan output berupa perintah *dispense product* ketika saldo mencukupi atau pesan *insufficient funds* apabila nominal uang tidak memenuhi harga produk.

Pada penelitian ini digunakan dua model FSM, yaitu *Moore Machine* dan *Mealy Machine*. Pada *Moore Machine*, output sistem hanya dipengaruhi oleh *state* aktif sehingga menghasilkan keluaran yang lebih stabil, namun membutuhkan jumlah *state* yang lebih banyak. Sementara itu, pada *Mealy Machine*, output dipengaruhi oleh kombinasi *state* dan input sehingga mampu memberikan respons yang lebih cepat dengan jumlah *state* yang lebih sedikit. Perbedaan karakteristik kedua model tersebut digunakan sebagai dasar analisis dalam membandingkan performa sistem *vending machine* berbasis Verilog HDL.

2.3 Prinsip Kerja

Prinsip kerja sistem vending machine berbasis *Finite State Machine (FSM)* menggunakan dua pendekatan, yaitu *Moore Machine* dan *Mealy Machine*, yang diimplementasikan melalui bahasa Verilog HDL. Input berupa nominal uang dan pilihan produk akan diproses oleh modul FSM di dalam Verilog HDL. FSM kemudian menentukan transisi antar *state* berdasarkan kondisi input dan logika yang telah ditentukan.



Gambar 4. Rancangan Pengaplikasian pada *Vending Machine* Makanan dan Minuman

Pada *Moore Machine*, output hanya bergantung pada *state* aktif. Ketika sistem berpindah dari satu *state* ke *state* berikutnya, output baru akan muncul setelah transisi selesai. Hal ini membuat sistem lebih stabil dan mudah dikontrol, namun membutuhkan lebih banyak *state* untuk setiap kondisi.

Pada *Mealy Machine*, output bergantung pada kombinasi antara *state* dan input. Dengan demikian, sistem dapat memberikan respon lebih cepat

terhadap perubahan input tanpa harus menunggu transisi *state* selesai. Model ini lebih efisien dalam penggunaan *state*, tetapi memerlukan pengaturan logika yang lebih kompleks agar output tidak berubah secara tiba-tiba.

Dalam simulasi menggunakan Verilog HDL, setiap *state* direpresentasikan sebagai blok logika yang mengatur sinyal keluaran berdasarkan kondisi input. Ketika pengguna memasukkan uang dan memilih produk, FSM akan memeriksa apakah nominal mencukupi. Jika ya, sistem berpindah ke *state* “*Dispense Product*” dan mengaktifkan sinyal keluaran untuk mengeluarkan produk. Jika tidak, sistem tetap pada *state* “*Idle*” dan menampilkan pesan “*Insufficient Funds*”.

2.4 Perancangan Software

a. Verilog HDL

Setiap *state* pada rancangan Verilog direpresentasikan dalam blok kode FSM. Pada rancangan yang didokumentasikan dalam naskah, *state* yang digunakan meliputi *Idle*, *Credit*, *Select*, dan *Vend*. Transisi antar-*state* ditentukan berdasarkan nominal uang dan pilihan produk. Jobsheet menjadi dasar konseptual bahwa FSM vending machine membaca masukan transaksi, menentukan *state*, kemudian mengeluarkan produk dan/atau uang kembalian sesuai kondisi transaksi.

b. Simulator (ModelSim)

Simulator digunakan untuk menjalankan kode Verilog dan menampilkan waveform. Dengan waveform, perbedaan respon antara *Moore* dan *Mealy Machine* dapat dianalisis, terutama pada waktu respon dan kestabilan output.

c. Testbench

Testbench dibuat untuk memberikan kombinasi input berupa nominal uang dan pilihan produk. Output aktual kemudian dibandingkan dengan output yang diharapkan berdasarkan kondisi transaksi. Skenario fungsional mengacu pada Jobsheet, yaitu pembelian minuman seharga Rp5.000 atau makanan seharga Rp10.000, termasuk kondisi uang mencukupi, uang melebihi harga, pengeluaran produk, dan pengembalian uang.

3. Hasil dan Pembahasan

Evaluasi dilakukan menggunakan spesifikasi dan skenario transaksi yang sama pada kedua model untuk memperoleh perbandingan yang objektif. Parameter yang dianalisis meliputi kemampuan fungsional sistem, waktu respons, penggunaan resource, frekuensi maksimum, konsumsi daya, kompleksitas FSM, dan tingkat keberhasilan pengeluaran produk. Hasil tersebut digunakan untuk menjelaskan pengaruh pemilihan *Moore* dan *Mealy* terhadap performa dan kompleksitas rancangan.

3.1. Perbandingan Kinerja FSM *Moore* vs *Mealy*

Tabel 1 menunjukkan hasil perbandingan kinerja antara FSM Moore Machine dan Mealy Machine berdasarkan beberapa skenario pengujian pada sistem vending machine. Parameter yang dianalisis meliputi jumlah state, waktu respon, output yang dihasilkan, dan persentase error.

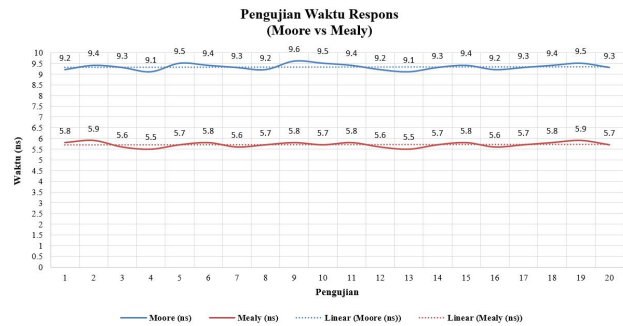
Tabel 1. Perbandingan Kinerja FSM Moore vs Mealy Machine

Skenario	Input/ Kondisi	FSM	Kondisi Transaksi	Output
1	Rp5.000; minuman	Moore	sesuai kondisi transaksi	Produk minuman
1	Rp5.000; minuman	Mealy	sesuai kondisi transaksi	Produk minuman
2	Rp10.000; makanan	Moore	sesuai kondisi transaksi	Produk makanan
2	Rp10.000; makanan	Mealy	sesuai kondisi transaksi	Produk makanan
3	Uang; harga	Moore	sesuai kondisi transaksi	Produk + kembalian
3	Uang; harga	Mealy	sesuai kondisi transaksi	Produk + kembalian

Berdasarkan karakteristik rancangan, Mealy Machine menggunakan mekanisme output berbasis kombinasi state dan input sehingga dapat memberikan respons tanpa menunggu output ditentukan hanya oleh state. Namun, perbandingan waktu respons kuantitatif tidak didasarkan pada tabel skenario fungsional ini, melainkan pada pengujian waktu respons berulang pada Subbab 3.2.

3.2. Pengujian Waktu Respons

Pengujian waktu respons dilakukan untuk menganalisis performa implementasi FSM *Moore Machine* dan *Mealy Machine* dalam merespons perubahan input pada sistem vending machine. Pengujian dilakukan sebanyak 20 kali untuk memperoleh data yang representatif dan mengevaluasi kestabilan waktu respons masing-masing metode.



Gambar 5. Grafik Pengujian Waktu Respons

Gambar 5 menunjukkan perbandingan waktu respons antara *Moore Machine* dan *Mealy Machine* berdasarkan 20 kali pengujian. Berdasarkan data pengujian, rata-rata waktu respons Moore Machine dihitung menggunakan Persamaan (1):

$$\bar{x}_{Moore} = \frac{\sum x_i}{n} = \frac{186,9}{20} = 9,345 \text{ ns} \quad (1)$$

Sedangkan rata-rata waktu respons *Mealy Machine* dihitung menggunakan Persamaan (2):

$$\bar{x}_{Mealy} = \frac{\sum x_i}{n} = \frac{114,9}{20} = 5,745 \text{ ns} \quad (2)$$

Selanjutnya, persentase peningkatan kecepatan *Mealy Machine* terhadap *Moore Machine* dihitung menggunakan Persamaan (3):

$$\text{Peningkatan} = \frac{9,345 - 5,745}{9,345} \times 100\% = 38,52\% \quad (3)$$

Hasil perhitungan menunjukkan bahwa *Mealy Machine* memiliki rata-rata waktu respons sebesar 5,745 ns, sedangkan *Moore Machine* sebesar 9,345 ns. Dengan demikian, *Mealy Machine* mampu memberikan respons 3,60 ns lebih cepat atau mengalami peningkatan kinerja sebesar 38,52% dibandingkan *Moore Machine*. Selain memiliki waktu respons yang lebih rendah, kedua metode juga menunjukkan fluktuasi yang relatif kecil pada setiap pengujian, yaitu *Moore Machine* berada pada rentang 9,1–9,6 ns dan *Mealy Machine* pada rentang 5,5 - 5,9 ns, sehingga dapat disimpulkan bahwa keduanya memiliki kestabilan yang baik. Namun demikian, Mealy Machine lebih unggul dari sisi kecepatan karena output dihasilkan secara langsung berdasarkan kombinasi state dan input, sehingga lebih sesuai untuk aplikasi digital yang memerlukan respons cepat seperti sistem vending machine.

3.3. Penggunaan Resource FPGA

Tabel 2 menunjukkan perbandingan penggunaan sumber daya perangkat keras (hardware resources) antara implementasi FSM Moore Machine dan Mealy Machine. Parameter yang dianalisis meliputi jumlah *Logic Cell*, *Flip-Flop*, *Look-Up Table*

(LUT), *Register*, dan *I/O Pin* yang digunakan setelah proses sintesis pada FPGA.

Tabel 2. Simulasi Pengujian FPGA
 (Model Sim/Quartus)

Parameter	Moore (Unit)	Mealy (Unit)
Logic Cell	84	69
Flip-Flop	22	17
LUT	75	61
Register	24	18
I/O Pin	10	10

Penggunaan sumber daya perangkat keras dianalisis untuk mengetahui tingkat efisiensi implementasi Moore Machine dan Mealy Machine pada FPGA. Parameter yang diamati meliputi *Logic Cell*, *Flip-Flop*, *Look-Up Table (LUT)*, *Register*, dan *I/O Pin*. Hasil perbandingan penggunaan sumber daya ditunjukkan pada Tabel 2.

Persentase efisiensi penggunaan sumber daya dihitung menggunakan Persamaan (4).

$$\text{Efisiensi} = \frac{R_{\text{Moore}} - R_{\text{Mealy}}}{R_{\text{Moore}}} \times 100\% \quad (4)$$

dengan:

R_{Moore} = jumlah sumber daya yang digunakan pada *Moore Machine*.

R_{Mealy} = jumlah sumber daya yang digunakan pada *Mealy Machine*.

Berdasarkan Persamaan (4), diperoleh efisiensi penggunaan *Logic Cell* sebesar:

$$\frac{84 - 69}{84} \times 100\% = 17,86\%$$

Penggunaan Flip-Flop mengalami pengurangan sebesar:

$$\frac{22 - 17}{22} \times 100\% = 22,73\%$$

Efisiensi penggunaan LUT dihitung sebagai berikut:

$$\frac{75 - 61}{75} \times 100\% = 18,67\%$$

Sedangkan penggunaan Register mengalami pengurangan sebesar:

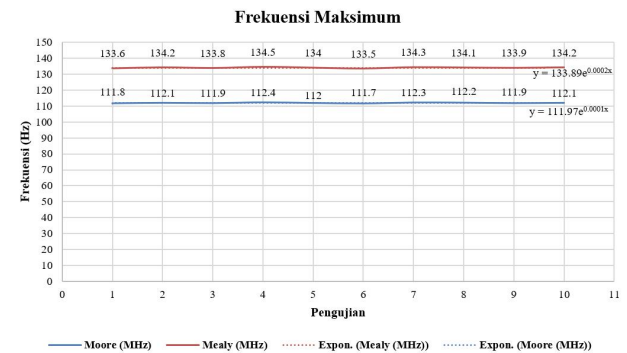
$$\frac{24 - 18}{24} \times 100\% = 25,00\%$$

Hasil perhitungan menunjukkan bahwa implementasi *Mealy Machine* menggunakan sumber daya FPGA yang lebih sedikit dibandingkan *Moore Machine*. Pengurangan penggunaan sumber daya masing-masing sebesar 17,86% pada *Logic Cell*, 22,73% pada Flip-Flop, 18,67% pada LUT, dan 25,00% pada Register. Sementara itu, penggunaan I/O Pin pada kedua metode tetap sama, yaitu sebanyak 10 pin, sehingga tidak terdapat perbedaan kebutuhan antarmuka masukan dan keluaran. Penggunaan sumber daya yang lebih rendah pada Mealy Machine disebabkan oleh jumlah state yang lebih sedikit dan mekanisme pembentukan output yang bergantung pada kombinasi state saat ini dan input. Kondisi tersebut menghasilkan rangkaian logika yang lebih sederhana sehingga implementasi pada FPGA

menjadi lebih efisien tanpa mengurangi fungsi sistem

3.4 Frekuensi Maksimum

Pengujian frekuensi maksimum dilakukan untuk mengevaluasi kemampuan implementasi *Moore Machine* dan *Mealy Machine* dalam mencapai frekuensi kerja tertinggi setelah proses sintesis pada FPGA. Pengujian dilakukan sebanyak 10 kali untuk mengetahui konsistensi nilai frekuensi maksimum yang dihasilkan. Hasil pengujian ditunjukkan pada Gambar 6.



Gambar 6. Grafik Perbandingan Frekuensi

Rata-rata frekuensi maksimum dihitung menggunakan Persamaan (5).

$$\bar{f} = \frac{\sum_{i=1}^n f_i}{n} \quad (5)$$

Berdasarkan Persamaan (5), rata-rata frekuensi maksimum *Moore Machine* diperoleh sebagai berikut.

$$\bar{f}_{\text{Moore}} = 112.04 \text{ MHz}$$

Sedangkan rata-rata frekuensi maksimum *Mealy Machine* adalah

$$\bar{f}_{\text{Mealy}} = 134.01 \text{ MHz}$$

Persentase peningkatan frekuensi maksimum dihitung menggunakan Persamaan (6).

$$\text{Peningkatan} = \frac{f_{\text{Mealy}} - f_{\text{Moore}}}{f_{\text{Moore}}} \times 100\% \quad (6)$$

Sehingga diperoleh

$$= \frac{134.01 - 112.04}{112.04} \times 100\% = 19.61\%$$

Berdasarkan hasil pengujian, *Mealy Machine* memiliki rata-rata frekuensi maksimum sebesar 134,01 MHz, sedangkan *Moore Machine* sebesar 112,04 MHz. Dengan demikian, implementasi *Mealy Machine* mampu meningkatkan frekuensi maksimum sebesar 19,61% dibandingkan *Moore Machine*. Selain itu, grafik menunjukkan bahwa kedua metode memiliki fluktuasi frekuensi yang relatif kecil pada setiap pengujian. *Moore Machine* berada pada rentang 111,7–112,4 MHz, sedangkan *Mealy Machine* berada pada rentang 133,5–134,5 MHz, yang menunjukkan kestabilan performa hasil sintesis. Frekuensi maksimum yang lebih tinggi pada *Mealy Machine* mengindikasikan bahwa jalur logika (*critical path*) yang terbentuk lebih pendek akibat jumlah state dan elemen logika yang lebih sedikit, sehingga rangkaian dapat beroperasi pada

kecepatan clock yang lebih tinggi tanpa mengurangi fungsi sistem.

3.5 Konsumsi Daya

Pengujian konsumsi daya dilakukan untuk mengevaluasi efisiensi energi implementasi Moore Machine dan Mealy Machine pada FPGA. Parameter yang diamati meliputi Dynamic Power, Static Power, dan Total Power yang diperoleh dari hasil analisis pasca sintesis. Hasil pengukuran konsumsi daya ditunjukkan pada Tabel 3.

Tabel 3. Konsumsi Daya

Metode	Dynamic (mW)	Static (mW)	Total (mW)
Moore	20.8	6.5	27.3
Mealy	17.9	6.3	24.2

Persentase penghematan daya dihitung menggunakan Persamaan (7).

$$\text{Penghematan Daya} = \frac{P_{\text{Moore}} - P_{\text{Mealy}}}{P_{\text{Moore}}} \times 100\% \quad (7)$$

dengan:

P_{Moore} = konsumsi daya *Moore Machine* (mW).

P_{Mealy} = konsumsi daya *Mealy Machine* (mW).

Berdasarkan Persamaan (7), penghematan *Dynamic Power* dihitung sebagai berikut.

$$\frac{20.8 - 17.9}{20.8} \times 100\% = 13.94\%$$

Penghematan *Static Power* diperoleh sebesar

$$\frac{6.5 - 6.3}{6.5} \times 100\% = 3.08\%$$

Sedangkan penghematan Total Power dihitung sebagai

$$\frac{27.3 - 24.2}{27.3} \times 100\% = 11.36\%$$

Hasil perhitungan menunjukkan bahwa implementasi Mealy Machine memiliki konsumsi daya yang lebih rendah dibandingkan Moore Machine pada seluruh parameter. Konsumsi Dynamic Power menurun dari 20,8 mW menjadi 17,9 mW, sehingga terjadi penghematan sebesar 13,94%. Konsumsi Static Power juga mengalami penurunan dari 6,5 mW menjadi 6,3 mW, atau setara dengan penghematan 3,08%. Secara keseluruhan, Total Power berkurang dari 27,3 mW menjadi 24,2 mW, sehingga menghasilkan efisiensi konsumsi daya sebesar 11,36%. Pengurangan konsumsi daya tersebut menunjukkan bahwa implementasi Mealy Machine lebih efisien karena menggunakan jumlah state dan elemen logika yang lebih sedikit, sehingga aktivitas switching pada rangkaian berkurang dan daya dinamis yang dibutuhkan menjadi lebih rendah. Hal ini menjadikan Mealy Machine lebih sesuai untuk sistem digital yang mengutamakan efisiensi sumber daya dan konsumsi energi tanpa mengurangi kinerja sistem.

3.6 Kompleksitas FSM

Analisis kompleksitas dilakukan untuk membandingkan struktur implementasi Moore Machine dan Mealy Machine berdasarkan jumlah *state*, jumlah *transition*, serta logika pembentukan output. Parameter-parameter tersebut digunakan untuk mengevaluasi tingkat kompleksitas perancangan dan pengaruhnya terhadap efisiensi implementasi pada FPGA. Hasil perbandingan kompleksitas kedua metode ditunjukkan pada Tabel 4.

Tabel 4. Kompleksitas FSM

Parameter	Moore	Mealy
Jumlah State	8	6
Jumlah Transition	18	16
Output Logic	State	State+Input

Hasil analisis menunjukkan bahwa Mealy Machine memiliki kompleksitas yang lebih rendah dibandingkan Moore Machine. Jumlah *state* berkurang dari 8 state menjadi 6 state, sehingga terjadi pengurangan kompleksitas sebesar 25%. Selain itu, jumlah *transition* juga berkurang dari 18 menjadi 16, atau mengalami penurunan sebesar 11,11%. Perbedaan juga terlihat pada mekanisme pembentukan output, di mana Moore Machine menghasilkan output yang hanya bergantung pada *state* saat ini (*state-based output*), sedangkan Mealy Machine menghasilkan output berdasarkan kombinasi *state* dan *input* (*state-input based output*). Mekanisme tersebut memungkinkan Mealy Machine menghasilkan keluaran tanpa memerlukan *state* tambahan, sehingga jumlah *state* dan *transition* yang dibutuhkan menjadi lebih sedikit. Dengan kompleksitas yang lebih rendah, implementasi Mealy Machine memberikan efisiensi yang lebih baik dalam penggunaan sumber daya FPGA serta mendukung peningkatan kecepatan respon sistem.

Hasil perbandingan tersebut menunjukkan adanya *trade-off* antara kecepatan respons dan kestabilan output pada penggunaan Moore dan Mealy Machine. Mealy Machine mampu merespons perubahan input secara langsung karena output ditentukan oleh kombinasi state dan input, sehingga memberikan keunggulan dalam hal kecepatan respons. Namun, karakteristik tersebut juga membuat output lebih sensitif terhadap perubahan input. Sebaliknya, Moore Machine memiliki output yang lebih stabil karena keluaran hanya bergantung pada state, meskipun responsnya relatif lebih lambat. Jobsheet juga menjelaskan bahwa perubahan input pada Mealy Machine dapat langsung memengaruhi output dan berpotensi menyebabkan ketidaksinkronan ketika digunakan pada sistem yang saling terhubung. Oleh karena itu, pemilihan model FSM perlu mempertimbangkan

trade-off antara kebutuhan kecepatan respons, efisiensi, dan kestabilan output sesuai dengan karakteristik aplikasi yang dirancang.

3.7 Akurasi Pengeluaran Produk

Pengujian tingkat keberhasilan sistem dilakukan dengan simulasi pada aplikasi Quartus untuk mengevaluasi keandalan implementasi FSM dalam menjalankan fungsi sistem sesuai dengan skenario yang dirancang. Pengujian dilakukan sebanyak 30 kali percobaan dengan berbagai kombinasi masukan dan menghasilkan 30 percobaan berhasil serta 0 percobaan gagal. Dokumen sumber tidak memuat daftar individual ke-30 percobaan, sehingga rincian input setiap percobaan tidak dibuat ulang dalam revisi ini untuk menghindari penambahan data yang tidak terdokumentasi.

Tabel 5. Akurasi Pengeluaran Produk

Parameter	Nilai
Jumlah Percobaan (Simulasi)	30
Berhasil	30
Gagal	0
Akurasi	100%

Hasil pengujian pada Tabel 5 diperoleh melalui simulasi menggunakan *testbench* Verilog HDL, sehingga pengujian tidak dilakukan secara langsung pada perangkat keras atau board FPGA. Sebanyak 30 kali percobaan simulasi dilakukan untuk memverifikasi kemampuan FSM dalam melakukan transisi state dan menghasilkan output sesuai dengan kondisi input yang diberikan. Seluruh 30 percobaan berhasil dan tidak ditemukan kegagalan, sehingga diperoleh tingkat keberhasilan sebesar 100%. Karena pengujian dilakukan secara simulasi dan hasil setiap skenario telah diverifikasi melalui respons output pada *testbench*, rincian 30 percobaan individual tidak disajikan dalam tabel terpisah. Penyajian dalam bentuk rekapitulasi pada Tabel 5 dimaksudkan untuk memberikan gambaran yang lebih ringkas mengenai hasil pengujian fungsional. Hasil tersebut menunjukkan bahwa logika FSM mampu menjalankan fungsi yang dirancang secara konsisten pada seluruh skenario simulasi yang diuji.

4. Kesimpulan

Penelitian ini telah merancang dan membandingkan Finite State Machine (FSM) menggunakan Moore Machine dan Mealy Machine pada sistem vending machine berbasis Verilog HDL. Berdasarkan hasil pengujian fungsional, kedua rancangan mampu menjalankan skenario transaksi yang diuji dengan tingkat keberhasilan 100%, yaitu 30 percobaan berhasil dari 30 percobaan. Hasil evaluasi performa menunjukkan bahwa Mealy Machine memiliki rata-rata *delay* sebesar 5,745 ns, sedangkan Moore Machine sebesar 9,345 ns, sehingga Mealy

Machine memberikan respons 38,52% lebih cepat. Dari sisi penggunaan sumber daya, Mealy Machine juga menunjukkan efisiensi yang lebih baik dengan pengurangan Logic Cell sebesar 17,86%, Flip-Flop sebesar 22,73%, dan LUT sebesar 18,67%. Selain itu, frekuensi maksimum meningkat dari 112,04 MHz pada Moore Machine menjadi 134,01 MHz pada Mealy Machine atau sebesar 19,61%, sedangkan konsumsi daya total menurun dari 27,3 mW menjadi 24,2 mW atau sebesar 11,36%. Meskipun Mealy Machine menunjukkan keunggulan dalam kecepatan respons, efisiensi sumber daya, frekuensi maksimum, dan konsumsi daya, Moore Machine tetap memiliki kelebihan dari sisi kestabilan output karena keluaran hanya bergantung pada state. Sebaliknya, pada Mealy Machine, keluaran dipengaruhi oleh state dan input sehingga perubahan input yang tidak stabil perlu diperhatikan. Dengan demikian, pemilihan model FSM tidak hanya ditentukan oleh parameter performa, tetapi juga oleh kebutuhan sistem terhadap kestabilan output dan respons terhadap perubahan input. Berdasarkan hasil penelitian ini, Mealy Machine lebih sesuai untuk sistem vending machine yang memprioritaskan kecepatan dan efisiensi sumber daya, sedangkan Moore Machine dapat dipertimbangkan pada aplikasi yang lebih mengutamakan kestabilan output. Hasil penelitian ini menunjukkan bahwa pemilihan arsitektur FSM berpengaruh terhadap karakteristik performa sistem digital dan dapat menjadi pertimbangan dalam perancangan sistem berbasis Verilog HDL.

Daftar Rujukan

- [1] M. M. Mano and M. D. Ciletti, *Digital Design*, 6th ed. New York, NY, USA: Pearson, 2021.
- [2] S. Brown and Z. Vranesic, *Fundamentals of Digital Logic with Verilog Design*, 3rd ed. New York, NY, USA: McGraw-Hill Education, 2024.
- [3] S. Palnitkar, *Verilog HDL: A Guide to Digital Design and Synthesis*, 2nd ed. Upper Saddle River, NJ, USA: Prentice Hall, 2023.
- [4] A. Barkalov, L. Titarenko, S. Chmielewski, and K. Mielcarek, "Improving Characteristics of FSMs With Mixed Codes of Outputs," *IEEE Access*, vol. 10, pp. 36152–36165, 2022, doi: 10.1109/ACCESS.2022.3162070.
- [5] M. H. Fuad, R. Yeassin, K. M. Mehedi Hassan, M. M. Sykot, and M. F. Nayan, "Design of a Vending Machine Using Verilog HDL and Implementation in Genus & Encounter," *European Journal of Electrical Engineering and Computer Science*, vol. 7, no. 6, pp. 25–31, Nov. 2023, doi: 10.24018/ejece.2023.7.6.595.
- [6] P. Chidananda Datta, C. Vinay Kumar, R. Singh, and K. Mummaneni, "Optimized RTL design of a vending machine through FSM using Verilog HDL," in *Micro and Nanoelectronics Devices, Circuits and Systems*, Lecture Notes in Electrical Engineering, vol. 904. Singapore: Springer, 2023, pp. 387–397, doi: 10.1007/978-981-19-2308-1_32.
- [7] A. Barkalov, L. Titarenko, and K. Mielcarek, "Reducing the Number of LUTs for Mealy FSMs with State Transformation," *International Journal of Applied Mathematics and Computer Science*, vol. 34, no. 1, pp. 167–178, 2024, doi: 10.61822/amcs-2024-0012.

- [8] J. P. Jose, R. Deepika Sharma, A. Jeevitha, V. Pavithra, and P. Prathibha, "Design and Implementation of FPGA Based Vending Machine for Integrated Circuits (IC's)," *International Journal of Research in Engineering, Science and Management*, vol. 4, no. 7, pp. 212–216, 2021.
- [9] V. Salauyou and A. Klimowicz, "Optimizing Digital Systems Implemented in FPGA Through Effective Description of Finite State Machines," *Electronics*, vol. 15, no. 4, Art. no. 831, 2026, doi: 10.3390/electronics15040831.
- [10] R. H. Naik, R. Sravya, P. Gopi Chand, Y. V. Ravi, and P. Jagadeesh, "Implementation of Vending Machine through Verilog HDL," *International Journal for Modern Trends in Science and Technology*, vol. 10, no. 3, pp. 162–167, Mar. 2024, doi: 10.46501/IJMTST1003023.
- [11] Monga and B. Singh, "Finite State Machine Based Vending Machine Controller with Auto-Billing Features," *arXiv preprint arXiv:1205.3642*, 2012.
- [12] Manasa, B. Pavani, B. Soumya, and P. S. Kumar, "Vending Machine Using Verilog HDL," *International Journal of Engineering Research and Science & Technology*, vol. 22, no. 2, pp. 62–65, 2026, doi: 10.62643/IJERST.2026.V22.N2(2).2838.